

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL  
STATUS

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037179

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H01L 21/822  
G05F 1/56  
H01L 27/04

(21)Application number : 2002-128382

(71)Applicant : RICOH CO LTD

(22)Date of filing : 30.04.2002

(72)Inventor : ITO KOZO

(30)Priority

Priority number : 2001142873

Priority date : 14.05.2001

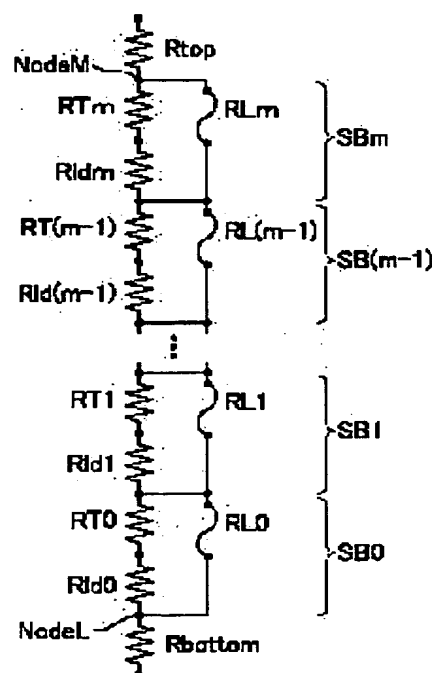
Priority country : JP

## (54) RESISTANCE CIRCUIT, AND VOLTAGE DETECTING CIRCUIT AND RATED VOLTAGE GENERATING CIRCUIT USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress an error of a resistance value of a resistance circuit after a fuse being cut off without increasing an area much.

SOLUTION: An error-correcting resistance element  $R_{ldn}$  and setting resistance element  $RTn$  are connected in series each other,  $m+1$  piece ( $m$  is a positive integer) of unit resistances  $SBn$ , in which fuses  $RLn$  are connected in parallel to the setting resistance element  $RTn$  and the error-correcting resistance element  $R_{ldn}$ , are connected in series between a resistance element  $R_{bottom}$  and a resistance element  $R_{top}$ . The unit resistances  $SBn$  is provided so that a composite resistance composed of the fuses  $RLn$  before cutoff, the setting resistance element  $RTn$ , and the error-correcting resistance element  $R_{ldn}$  are equalized. The resistance value of the unit resistances  $SBn$  after the fuses  $RLn$  being cut off increases by a resistance value of the setting resistance element  $RTn$  compared with the resistance value of the fuses  $RLn$  before cutoff, therefore, the error of the resistance value of the unit resistances  $SBn$  after the fuses  $RLn$  being cut off can be suppressed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-37179

(P2003-37179A)

(43) 公開日 平成15年2月7日 (2003.2.7)

|                           |       |               |                        |
|---------------------------|-------|---------------|------------------------|
| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テームト <sup>*</sup> (参考) |
| H 0 1 L 21/822            |       | G 0 5 F 1/56  | 3 1 0 D 5 F 0 3 8      |
| G 0 5 F 1/56              | 3 1 0 | H 0 1 L 27/04 | V 5 H 4 3 0            |
| H 0 1 L 27/04             |       |               | B                      |

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2002-128382 (P2002-128382)

(22) 出願日 平成14年4月30日 (2002.4.30)

(31) 優先権主張番号 特願2001-142873 (P2001-142873)

(32) 優先日 平成13年5月14日 (2001.5.14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 伊藤 弘造

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74) 代理人 100085464

弁理士 野口 繁雄

Fターム (参考) 5F038 AR09 AR21 AV15 BB04 BB05

BB07 DF01 EZ20

5H430 BB01 BB05 BB09 BB11 EE04

FF03 FF04 FF05 FF13 GG01

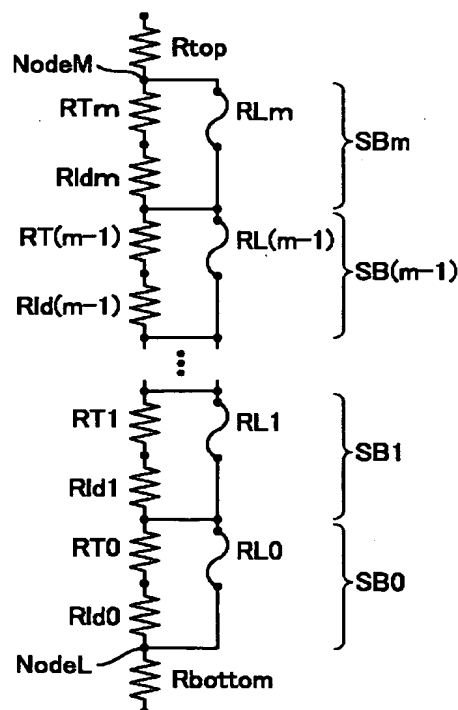
HH03 LA22 LB03

(54) 【発明の名称】 抵抗回路並びにそれを用いた電圧検出回路及び定電圧発生回路

(57) 【要約】

【課題】 面積をあまり増大させることなく、ヒューズ切断後の抵抗回路の抵抗値誤差を抑制する。

【解決手段】 誤差補正抵抗素子  $R_{ldn}$  と設定抵抗素子  $R_{Tn}$  が直列に接続され、設定抵抗素子  $R_{Tn}$  及び誤差補正抵抗素子  $R_{ldn}$  にヒューズ  $R_{Ln}$  が並列に接続されてなる  $m+1$  個 ( $m$  は正の整数) の単位抵抗  $SB_n$  が抵抗素子  $R_{bottom}$  と抵抗素子  $R_{top}$  の間に直列に接続されている。単位抵抗  $SB_n$  では、ヒューズ切断前のヒューズ  $R_{Ln}$ 、設定抵抗素子  $R_{Tn}$  及び誤差補正抵抗素子  $R_{ldn}$  の合成抵抗と、誤差補正抵抗素子  $R_{ldn}$  単独の抵抗値が等しくなるように設定されている。ヒューズ  $R_{Ln}$  切断後の単位抵抗  $SB_n$  の抵抗値は、ヒューズ  $R_{Ln}$  切断前に比べて設定抵抗素子  $R_{Tn}$  の抵抗値分だけ増加するので、ヒューズ  $R_{Ln}$  の抵抗値に起因するヒューズ  $R_{Ln}$  切断後の単位抵抗  $SB_n$  の抵抗値誤差を抑制できる。



## 【特許請求の範囲】

【請求項 1】 設定抵抗素子と誤差補正抵抗素子が直列に接続され、前記設定抵抗素子及び前記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続されてなり、前記誤差補正抵抗素子の抵抗値は、前記切断専用抵抗素子切断前の前記設定抵抗素子、前記誤差補正抵抗素子及び前記切断専用抵抗素子の合成抵抗値と同じ値に設定されている抵抗回路。

【請求項 2】 前記設定抵抗素子、前記誤差補正抵抗素子及び前記切断専用抵抗素子を単位抵抗とし、複数の単位抵抗が直列又は並列に接続されている請求項 1 に記載の抵抗回路。

【請求項 3】 前記複数の単位抵抗を構成する各誤差補正抵抗素子は、同じ素材、同じ向き及び同じ幅で形成されたポリシリコンパターンにより形成されている請求項 2 に記載の抵抗回路。

【請求項 4】 前記複数の単位抵抗を構成する各切断専用抵抗素子は、同じ素材、同じ向き及び同じ寸法で形成されたポリシリコンパターンにより形成されている請求項 2 又は 3 に記載の抵抗回路。

【請求項 5】 入力電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分圧抵抗からの分圧電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路を備えた電圧検出回路において、前記分圧抵抗は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、前記設定抵抗素子及び前記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続され、前記誤差補正抵抗素子の抵抗値が前記設定抵抗素子、前記誤差補正抵抗素子及び前記切断専用抵抗素子の合成抵抗値と同じ値に設定されている複数の単位抵抗が直列に接続されて構成されていることを特徴とする電圧検出回路。

【請求項 6】 入力電圧の出力を制御する出力ドライバと、出力電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分圧抵抗からの分圧電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路を備えた定電圧発生回路において、前記分圧抵抗は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、前記設定抵抗素子及び前記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続され、前記誤差補正抵抗素子の抵抗値が前記設定抵抗素子、前記誤差補正抵抗素子及び前記切断専用抵抗素子の合成抵抗値と同じ値に設定されている複数の単位抵抗が直列に接続されて構成されていることを特徴とする定電圧発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、並列接続された抵抗の一方の抵抗をレーザー又は電氣的ストレスにより切断することによりその直列抵抗値を変化させることができる抵抗回路、並びにそのような抵抗回路を備えた電圧検出回路及び定電圧発生回路に関するものである。このような抵抗回路、定電圧発生回路及び電圧検出回路は、例えばアナログ電子回路を備えた半導体集積回路に搭載される。

## 【0002】

【従来の技術】 図 5 は、定電圧発生回路の一例を示す回路図である。直流電源 5 からの電源を負荷 7 に安定して供給すべく、定電圧発生回路 9 が設けられている。定電圧発生回路 9 は、直流電源 5 が接続される入力端子 (Vbat) 11、基準電圧発生回路 (Vref) 13、演算増幅器 15、出力ドライバを構成する P チャネル型 MOS トランジスタ (以下、PMOS と略記する) 17、分圧抵抗 R1、R2 及び出力端子 (Vout) 19 を備えている。定電圧発生回路 9 の演算増幅器 15 では、出力端子が PMOS 17 のゲート電極に接続され、反転入力端子に基準電圧発生回路 13 から基準電圧 Vref が印加され、非反転入力端子に出力電圧 Vout を抵抗 R1 と R2 で分圧した電圧が印加され、抵抗 R1、R2 の分圧電圧が基準電圧 Vref に等しくなるように制御される。

【0003】 図 6 は、電圧検出回路の一例を示す回路図である。15 は演算増幅器で、その反転入力端子に基準電圧発生回路 13 が接続され、基準電圧 Vref が印加される。入力端子 (Vsens) 23 から入力される測定すべき端子の電圧が分圧抵抗 R1 と R2 によって分圧されて演算増幅器 15 の非反転入力端子に入力される。演算増幅器 15 の出力は出力端子 19 を介して外部に出力される。この電圧検出回路 21 において、測定すべき端子の電圧が高く、分圧抵抗 R1 と R2 により分圧された電圧が基準電圧 Vref よりも高いときは演算増幅器 15 の出力が H を維持し、測定すべき端子の電圧が降下してきて分圧抵抗 R1 と R2 により分圧された電圧が基準電圧 Vref 以下になると演算増幅器 15 の出力が L になる。

【0004】 一般に、図 5 に示した定電圧発生回路や図 6 に示した電圧検出回路では、製造プロセスのバラツキに起因して基準電圧発生回路からの基準電圧 Vref が変動するので、その変動に対応すべく、分圧抵抗としてヒューズの切断により抵抗値を調整可能な抵抗回路を用いて、分圧抵抗の抵抗値を調整している。

【0005】 図 7 は、分圧抵抗を構成する従来の抵抗回路を示す回路図である。抵抗素子 Rbottom、m+1 個 (m は正の整数) の設定抵抗素子 RT0、RT1、…、RTm、抵抗素子 Rtop が直列に接続されている。設定抵抗素子 RT0、RT1、…、RTm には、各設定抵抗素子に対応してヒューズ RL0、RL1、…、RLm が並列に接続されている。このような抵抗回路は例えば特

開 2000-15799 公報に開示されている。このように、抵抗対の比の精度が重視される抵抗回路では、製造工程での作り込み精度を上げるために、一对の設定抵抗素子及びヒューズからなる単位抵抗が直列に接続されて梯子状に配置されている。

【0006】このような抵抗回路では、任意のヒューズ  $RL0, RL1, \dots, RLm$  をレーザー光線で切断することにより、所望の直列抵抗値を得ることができる。この場合、ヒューズ  $RL0, RL1, \dots, RLm$  の抵抗値を設定抵抗素子  $RT0, RT1, \dots, RTm$  の抵抗値よりも無視できる程度に小さく、又は設定抵抗素子  $RT0, RT1, \dots, RTm$  の抵抗値をヒューズ  $RL0, RL1, \dots, RLm$  の抵抗値を無視できる程度に大きくすることによって、ヒューズ切断後に抵抗値誤差の少ない抵抗値を得ることができる。

【0007】図 7 の抵抗回路を図 5 の定電圧発生回路の分圧抵抗  $R1, R2$  に適用する場合、例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端を PMOS 17 のドレインに接続し、抵抗素子  $R_{bottom}, RT0$  間の端子  $NodeL$  を演算増幅器 15 の非反転入力端子に接続する。また、図 7 の抵抗回路を図 6 の電圧検出回路の分圧抵抗  $R1, R2$  に適用する場合、例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端を直流電源 5 に接続し、端子  $NodeL$  を演算増幅器 15 の非反転入力端子に接続する。これらの場合、分圧抵抗  $R1$  は  $R_{top}$  により構成され、分圧抵抗  $R2$  は  $R_{bottom},$  設定抵抗素子  $RT0, RT1, \dots, RTm$  及びヒューズ  $RL0, RL1, \dots, RLm$  により構成される。

【0008】また、図 7 の抵抗回路を図 5 の定電圧発生回路の分圧抵抗  $R1, R2$  に適用する場合、例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端を PMOS 17 のドレインに接続し、抵抗素子  $R_{top}, RTm$  間の端子  $NodeM$  を演算増幅器 15 の非反転入力端子に接続するようにしてもよい。また、図 7 の抵抗回路を図 6 の電圧検出回路の分圧抵抗  $R1, R2$  に適用する場合、例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端を直流電源 5 に接続し、端子  $NodeM$  を演算増幅器 15 の非反転入力端子に接続するようにしてもよい。これらの場合、分圧抵抗  $R1$  は  $R_{top},$  設定抵抗素子  $RT0, RT1, \dots, RTm$  及びヒューズ  $RL0, RL1, \dots, RLm$  により構成され、分圧抵抗  $R2$  は  $R_{bottom}$  により構成される。

【0009】

【発明が解決しようとする課題】図 7 に示した抵抗回路では、ヒューズ切断後に得る抵抗値がヒューズ  $RL0, RL1, \dots, RLm$  の抵抗値に対して相対的に小さい、又は近い値の場合、ヒューズ  $RL0, RL1, \dots, RLm$  の抵抗値の影響が無視できなくなり、ヒューズ切断後の抵抗値に誤差が発生する。この誤差を補正するためには、あらかじめ設定抵抗素子  $RT0, RT1, \dots, RT$

$m$  にその誤差成分を含ませておけばよい。しかし、抵抗対の比の精度が重視される抵抗回路では、製造工程での作り込み精度を上げるために、一对の設定抵抗素子及びヒューズからなる単位抵抗を直列又は並列に接続して一つの抵抗素子として使用するため、設定抵抗素子の絶対抵抗値は単位抵抗の抵抗値や数によって制限されている。そのため、設定抵抗素子に誤差成分を必ずしも含ませることができないという問題があった。

【0010】図 7 に示したような構造の抵抗回路を分圧抵抗として用いた定電圧発生回路や電圧検出回路では、分圧抵抗に抵抗値誤差が含まれると、定電圧発生回路においては設定電圧通りの出力電圧が得られず、電圧検出回路においては設定電圧通りの電圧検出を行なえないという問題があった。

【0011】一方、図 7 に示したような構造の抵抗回路において抵抗値誤差を小さくする方法として、ヒューズの抵抗値を小さくする方法がある。例えば図 8 に示すように、1 つの設定抵抗素子  $RT0, RT1, \dots, RTm$  ごとに複数のヒューズ  $RL0, RL1, \dots, RLm$  を並列に接続することにより、設定抵抗素子の抵抗値に対するヒューズの抵抗値を小さくすることができる。ヒューズ切断時には、目的の設定抵抗素子  $RT0, RT1, \dots, RTm$  に並列に接続されたすべてのヒューズ  $RL0, RL1, \dots, RLm$  が同時に切断される。しかし、1 つの設定抵抗素子ごとに複数のヒューズを並列に接続するためにヒューズの数が増加し、さらに、安定したヒューズ切断を行なうためには十分な間隔が必要であるなど、同等な抵抗回路と比較して大きな面積が必要であるという問題があった。

【0012】本発明は上記のような問題を解決するためになされたものであり、切断専用抵抗素子の切断により設定値を調整可能な抵抗回路、そのような抵抗回路を分圧抵抗として用いた定電圧発生回路及び電圧検出回路において、面積をあまり増大させることなく、切断専用抵抗素子切断後の抵抗回路の抵抗値誤差を抑制することを目的とするものである。

【0013】

【課題を解決するための手段】本発明にかかる抵抗回路は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、上記設定抵抗素子及び上記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続されてなり、上記誤差補正抵抗素子の抵抗値は、上記切断専用抵抗素子切断前の上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子の合成抵抗値と同じ値に設定されているものである。

【0014】切断専用抵抗素子が切断されると、抵抗回路の抵抗値は設定抵抗素子及び誤差補正抵抗素子の合成抵抗値になる。誤差補正抵抗素子の抵抗値が設定抵抗素子、誤差補正抵抗素子及び切断専用抵抗素子の合成抵抗値と同じ値に設定されていることにより、切断専用抵抗

10

20

30

40

50

素子切断後の抵抗回路の抵抗値は、切断専用抵抗素子切断前に比べて設定抵抗素子の抵抗値分だけ増加する。このように、切断専用抵抗素子の抵抗値に起因する切断専用抵抗素子切断後の抵抗回路の抵抗値誤差を抑制することができる。さらに、従来の抵抗回路に比べて誤差補正抵抗素子を追加するだけであり、面積をあまり増大させずに実現できる。

【0015】本発明にかかる電圧検出回路は、入力電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分圧抵抗からの分圧電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路を備えた電圧検出回路であって、上記分圧抵抗は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、上記設定抵抗素子及び上記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続され、上記誤差補正抵抗素子の抵抗値が上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子の合成抵抗値と同じ値に設定されている複数の単位抵抗が直列に接続されて構成されているものである。

【0016】分圧抵抗が本発明の抵抗回路により構成されているので、切断専用抵抗素子切断後の分圧抵抗の抵抗値誤差を抑制することができ、さらに分圧抵抗の抵抗値誤差に起因する検出電圧の誤差を抑制することができる。

【0017】本発明にかかる定電圧発生回路は、入力電圧の出力を制御する出力ドライバと、出力電圧を分圧して分圧電圧を供給するための分圧抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分圧抵抗からの分圧電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路を備えた定電圧発生回路であって、上記分圧抵抗は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、上記設定抵抗素子及び上記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続され、上記誤差補正抵抗素子の抵抗値が上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子の合成抵抗値と同じ値に設定されている複数の単位抵抗が直列に接続されて構成されているものである。

【0018】分圧抵抗が本発明の抵抗回路により構成されているので、切断専用抵抗素子切断後の分圧抵抗の抵抗値誤差を抑制することができ、さらに分圧抵抗の抵抗値誤差に起因する出力電圧の誤差を抑制することができる。

#### 【0019】

【発明の実施の形態】本発明の抵抗回路において、上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子を単位抵抗とし、複数の単位抵抗が直列又は並列に接続されていることが好ましい。その結果、切断専用抵抗素子の切断により抵抗値を調整可能な抵抗回路としての汎用性が増す。

【0020】本発明の抵抗回路において、上記複数の単位抵抗を構成する各誤差補正抵抗素子の一例は、同じ素材、同じ向き及び同じ幅で形成されたポリシリコンパターンにより形成されているものである。本発明の抵抗回路において、上記複数の単位抵抗を構成する各切断専用抵抗素子の一例は、同じ素材、同じ向き及び同じ寸法で形成されたポリシリコンパターンにより形成されているものである。このようにして複数の誤差補正抵抗素子や複数の切断専用抵抗素子を形成することにより、製造工程での抵抗値のバラツキを抑制できる。

#### 【0021】

【実施例】図1は抵抗回路の一実施例を示す回路図である。図2はその実施例の誤差補正抵抗素子及び切断専用抵抗素子のレイアウト例を示すレイアウト図である。図3はその実施例の設定抵抗素子のレイアウト例を示すレイアウト図である。図1から図3を用いてこの実施例を説明する。

【0022】誤差補正抵抗素子と設定抵抗素子が直列に接続され、設定抵抗素子及び誤差補正抵抗素子の直列回路にヒューズ（切断専用抵抗素子）が並列に接続される $m+1$ 個（ $m$ は正の整数）の単位抵抗 $SB_0, SB_1, \dots, SB_m$ が抵抗素子 $R_{bottom}$ と抵抗素子 $R_{top}$ の間に直列に接続されている。抵抗素子 $R_{bottom}$ 側から順に誤差補正抵抗素子 $R_{ld0}, R_{ld1}, \dots, R_{ldm}$ 、設定抵抗素子 $RT_0, RT_1, \dots, RT_m$ 、ヒューズ $RL_0, RL_1, \dots, RL_m$ とする。

【0023】単位抵抗 $SB_0$ から数えて $n$ 番目（単位抵抗 $SB_0$ が0番目、 $n$ は $0 \leq n \leq m$ の整数）の単位抵抗 $SB_n$ は、誤差補正抵抗素子 $R_{ldn}$ （誤差補正抵抗素子 $R_{ld0}$ から数えて $n$ 番目の誤差補正抵抗素子）、設定抵抗素子 $RT_n$ （設定抵抗素子 $RT_0$ から数えて $n$ 番目の設定抵抗素子）、ヒューズ $RL_n$ （ヒューズ $RL_0$ から数えて $n$ 番目のヒューズ）により構成される。

【0024】設定抵抗素子 $RT_0, RT_1, \dots, RT_m$ の値は抵抗素子 $R_{bottom}$ 側から順に二進数的に増加するように設定されている。すなわち、設定抵抗素子 $RT_n$ の抵抗値は、設定抵抗素子 $RT_0$ の抵抗値を単位値とし、その単位値の $2^n$ 倍である。例えば、図3に示すように、同じ素材、同じ向き及び同じ寸法で形成された複数のポリシリコンパターン1を用い、設定抵抗素子 $RT_0$ を1本のポリシリコンパターン1を単位抵抗値とし、設定抵抗素子 $RT_n$ を $2^n$ 本のポリシリコンパターン1により構成する。ポリシリコンパターン1は、例えばP型不純物又はN型不純物が注入されて $100\Omega \sim 10k\Omega$ のシート抵抗をもつ高抵抗ポリシリコン膜により形成される。

【0025】 $n$ 番目の誤差補正抵抗素子 $R_{ldn}$ の抵抗値は、ヒューズ切断前の $n$ 番目の単位抵抗 $SB_n$ の合成抵抗、すなわち $n$ 番目のヒューズ $RL_n$ 、 $n$ 番目の設定抵抗素子 $RT_n$ 及び $n$ 番目の誤差補正抵抗素子 $R_{ldn}$

の合成抵抗と、誤差補正抵抗素子  $R_{ldn}$  単独の抵抗値が等しくなるように設定される。誤差補正抵抗素子  $R_{ldn}$  \*

$$R_{ldn} = (-R_{ln} + (R_{ln}^2 + 4R_{ln} R_{ln})^{1/2}) / 2 \quad \cdots (1)$$

ここで、 $R_{ldn}$  は誤差補正抵抗素子  $R_{ldn}$  の抵抗値、 $R_{ln}$  は設定抵抗素子  $R_{Tn}$  の抵抗値、 $R_{ln}$  はヒューズ  $R_{Ln}$  の抵抗値である。

【0026】ヒューズ  $R_{Ln}$  を切断すると、単位抵抗  $S_{Bn}$  の抵抗値は設定抵抗素子  $R_{Tn}$  及び誤差補正抵抗素子  $R_{ldn}$  の合成抵抗値になる。誤差補正抵抗素子  $R_{ldn}$  の抵抗値が設定抵抗素子  $R_{Tn}$ 、誤差補正抵抗素子  $R_{ldn}$  及びヒューズ  $R_{Ln}$  の合成抵抗値と同じ値に設定されていることにより、ヒューズ  $R_{Ln}$  切断後の単位抵抗  $S_{Bn}$  の抵抗値は、ヒューズ  $R_{Ln}$  切断前に比べて設定抵抗素子  $R_{Tn}$  の抵抗値分だけ増加する。このように、ヒューズ  $R_{Ln}$  の抵抗値に起因するヒューズ  $R_{Ln}$  切断後の単位抵抗  $S_{Bn}$  の抵抗値誤差を抑制することができる。さらに、従来の抵抗回路に比べて誤差補正抵抗素子  $R_{ldn}$  を追加するだけであり、面積をあまり増大させずに実現できる。

【0027】図2に示すように、ヒューズ  $R_{L0}$ ,  $R_{L1}$ , ...,  $R_{Lm}$  は、例えばシート抵抗が  $20\Omega \sim 40\Omega$  のポリシリコン膜により形成され、同じ素材、同じ向き及び同じ寸法で形成されている。また、誤差補正抵抗素子  $R_{ld0}$ ,  $R_{ld1}$ , ...,  $R_{ldm}$  は、例えばシート抵抗が  $20\Omega \sim 40\Omega$  のポリシリコン膜により形成され、同じ素材、同じ向き及び同じ幅で形成されている。これにより製造工程でのバラツキを抑制することができる。さらに、ヒューズ  $R_{L0}$ ,  $R_{L1}$ , ...,  $R_{Lm}$  及び誤差補正抵抗素子  $R_{ld0}$ ,  $R_{ld1}$ , ...,  $R_{ldm}$  を構成するポリシリコン膜を同一工程で形成するようにすれば、従来技術と比較して製造工程を増加させることなく、誤差補正抵抗素子  $R_{ld0}$ ,  $R_{ld1}$ , ...,  $R_{ldm}$  を形成することができる。

【0028】図2及び図3において、符号A-A間、符号B-B間、符号C-C間、符号D-D、符号E-E、符号F-F及び符号G-G間はそれぞれメタル配線3により電気的に接続されている。メタル配線3は、例えばアルミニウム98.5%、シリコン1%、銅0.5%を含む合金により形成され、そのシート抵抗は  $0.04\Omega \sim 0.1\Omega$  である。

【0029】図1に示した抵抗回路の実施例は、例えば図5に示した定電圧発生回路の分圧抵抗に適用することができる。定電圧発生回路の一実施例を図1及び図5を※

$$T = \{ (R_{top} + R_{bottom} + R_{ld0} + R_{ld1} + \cdots + R_{ldm}) \times (R_{bottom} + R_{ld0} + R_{ld1} + \cdots + R_{ldm}) \times (V_{des} - V_{set}) \} / \{ (R_{top} + R_{bottom} + R_{ld0} + R_{ld1} + \cdots + R_{ldm}) \times V_{set} - (R_{bottom} + R_{ld0} + R_{ld1} + \cdots + R_{ldm}) \times V_{set} \} \quad (3)$$

数式(3)で求められたトリミングコード  $T$  を2進数に変換し、単位抵抗  $S_{B0}$ ,  $S_{B1}$ , ...,  $S_{Bm}$  のうち、2進数に変換したトリミングコード  $T$  の「1」に対応す

\*  $d_n$  の抵抗値は次の数式(1)により求められる。

※用いて説明する。例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端をPMOS17のドレインに接続し、抵抗素子  $R_{bottom}$ ,  $R_{ld0}$  間の端子  $N_{odeL}$  を演算増幅器15の非反転入力端子に接続する。分圧抵抗  $R_1$  は  $R_{top}$ 、誤差補正抵抗素子  $R_{ld0}$ ,  $R_{ld1}$ , ...,  $R_{ldm}$ 、設定抵抗素子  $R_{T0}$ ,  $R_{T1}$ , ...,  $R_{Tm}$  及びヒューズ  $R_{L0}$ ,  $R_{L1}$ , ...,  $R_{Lm}$  により構成され、分圧抵抗  $R_2$  は  $R_{bottom}$  により構成される。

【0030】端子  $N_{odeL}$  から演算増幅器15の非反転入力端子にフィードバックする分圧電圧を調整する場合、次の数式(2)からトリミングコード  $T$  を求めることができる。

$$T = (R_{top} + R_{bottom} + R_{ld0} + R_{ld1} + \cdots + R_{ldm}) \times (V_{set} / V_{des} - 1) / R_{ld0} \quad (2)$$

ここで、 $R_{top}$  は抵抗素子  $R_{top}$  の抵抗値、 $R_{bottom}$  は抵抗素子  $R_{bottom}$  の抵抗値、 $R_{ld0} + R_{ld1} + \cdots + R_{ldm}$  は誤差補正抵抗素子  $R_{ld0}$ ,  $R_{ld1}$ , ...,  $R_{ldm}$  の抵抗値の和、 $R_{ld0}$  は設定抵抗素子  $R_{T0}$  の抵抗値、 $V_{set}$  は定電圧発生回路の出力電圧設定値、 $V_{des}$  はヒューズ切断前に測定された出力電圧値である。数式(2)で求められたトリミングコード  $T$  を2進数に変換し、単位抵抗  $S_{B0}$ ,  $S_{B1}$ , ...,  $S_{Bm}$  のうち、2進数に変換したトリミングコード  $T$  の「1」に対応する単位抵抗のヒューズを切断することにより、出力電圧が設定電圧になる。

【0031】また、図1の抵抗回路を分圧抵抗として用いた図5の定電圧発生回路において、例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端をPMOS17のドレインに接続し、抵抗素子  $R_{top}$ ,  $R_{Tm}$  間の端子  $N_{odeM}$  を演算増幅器15の非反転入力端子に接続するようにしてもよい。分圧抵抗  $R_1$  は  $R_{top}$  により構成され、分圧抵抗  $R_2$  は  $R_{bottom}$ 、誤差補正抵抗素子  $R_{ld0}$ ,  $R_{ld1}$ , ...,  $R_{ldm}$ 、設定抵抗素子  $R_{T0}$ ,  $R_{T1}$ , ...,  $R_{Tm}$  及びヒューズ  $R_{L0}$ ,  $R_{L1}$ , ...,  $R_{Lm}$  により構成される。

【0032】端子  $N_{odeM}$  から演算増幅器15の非反転入力端子にフィードバックする分圧電圧を調整する場合、次の数式(3)からトリミングコード  $T$  を求めることができる。

る単位抵抗のヒューズを切断することにより、出力電圧が設定電圧になる。

【0033】図1の抵抗回路の実施例を図6の電圧検出

回路の分圧抵抗  $R_1$ 、 $R_2$  に適用することもできる。電圧検出回路の一実施例を図 1 及び図 6 を用いて説明する。例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端を端子 23 に接続し、抵抗素子  $R_{bottom}$ 、 $R_{ld0}$  間の端子  $N_{odeL}$  を演算増幅器 15 の非反転入力端子に接続する。分圧抵抗  $R_1$  は  $R_{top}$ 、誤差補正抵抗素子  $R_{ld0}$ 、 $R_{ld1}$ 、 $\dots$ 、 $R_{ldm}$ 、設定抵抗素子  $R_{T0}$ 、 $R_{T1}$ 、 $\dots$ 、 $R_{Tm}$  及びヒューズ  $R_{L0}$ 、 $R_{L1}$ 、 $\dots$ 、 $R_{Lm}$  により構成され、分圧抵抗  $R_2$  は  $R_{bottom}$  により構成される。

【0034】端子  $N_{odeL}$  から演算増幅器 15 の非反転入力端子に入力する分圧電圧を調整する場合、次の数式 (4) からトリミングコード  $T$  を求めることができる。

$$T = (R_{top} + R_{bottom} + R_{ld0} + R_{ld1} + \dots + R_{ldm}) \times (V_{set} / V_{des} - 1) / R_{ld0} \quad (4)$$

ここで、 $V_{set}$  は電圧検出回路の検出電圧設定値、 $V_{des}$  はヒューズ切断前に測定された演算増幅器 15 の出力が例えば  $H$  から  $L$  へ反転する入力端子 23 での入力電圧値である。数式 (4) で求められたトリミングコード  $T$  を \*20

$$T = \{ (R_{top} + R_{bottom} + R_{ld0} + R_{ld1} + \dots + R_{ldm}) \times (R_{bottom} + R_{ld0} + R_{ld1} + \dots + R_{ldm}) \times (V_{des} - V_{set}) \} / \{ (R_{top} + R_{bottom} + R_{ld0} + R_{ld1} + \dots + R_{ldm}) \times V_{set} - (R_{bottom} + R_{ld0} + R_{ld1} + \dots + R_{ldm}) \times V_{set} \} \quad (5)$$

数式 (5) で求められたトリミングコード  $T$  を 2 進数に変換し、単位抵抗  $SB_0$ 、 $SB_1$ 、 $\dots$ 、 $SB_m$  のうち、2 進数に変換したトリミングコード  $T$  の「1」に対応する単位抵抗のヒューズを切断することにより、検出電圧が設定電圧になる。

【0037】以上、抵抗回路、定電圧電源及び電圧検出回路の実施例を説明したが、本発明は上記の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。例えば図 1 に示した抵抗回路の実施例では単位抵抗  $SB_0$ 、 $SB_1$ 、 $\dots$ 、 $SB_m$  を直列に接続しているが、本発明はこれに限定されるものではなく、例えば図 4 に示すように、単位抵抗  $SB_0$ 、 $SB_1$ 、 $\dots$ 、 $SB_m$  を並列に接続するようにしてもよい。また、上記の実施例では、ヒューズとしてレーザーの照射により切断されるものを用いているが、本発明はこれに限定されるものではなく、ヒューズとして電氣的ストレスにより切断できるものを用いてもよい。

#### 【0038】

【発明の効果】本発明の抵抗回路では、設定抵抗素子と誤差補正抵抗素子が直列に接続され、上記設定抵抗素子及び上記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続されてなり、上記誤差補正抵抗素子の抵抗値は、上記切断専用抵抗素子切断前の上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子の合成抵抗値と同じ値に設定されているようにしたので、

\* 2 進数に変換し、単位抵抗  $SB_0$ 、 $SB_1$ 、 $\dots$ 、 $SB_m$  のうち、2 進数に変換したトリミングコード  $T$  の「1」に対応する単位抵抗のヒューズを切断することにより、検出電圧が設定電圧になる。

【0035】また、図 1 の抵抗回路を分圧抵抗として用いた図 6 の電圧検出回路において、例えば抵抗素子  $R_{bottom}$  端を接地し、抵抗素子  $R_{top}$  端を端子 23 に接続し、抵抗素子  $R_{top}$ 、 $R_{Tm}$  間の端子  $N_{odeM}$  を演算増幅器 15 の非反転入力端子に接続するようにしてもよい。分圧抵抗  $R_1$  は  $R_{top}$  により構成され、分圧抵抗  $R_2$  は  $R_{bottom}$ 、誤差補正抵抗素子  $R_{ld0}$ 、 $R_{ld1}$ 、 $\dots$ 、 $R_{ldm}$ 、設定抵抗素子  $R_{T0}$ 、 $R_{T1}$ 、 $\dots$ 、 $R_{Tm}$  及びヒューズ  $R_{L0}$ 、 $R_{L1}$ 、 $\dots$ 、 $R_{Lm}$  により構成される。

【0036】端子  $N_{odeM}$  から演算増幅器 15 の非反転入力端子に入力する分圧電圧を調整する場合、次の数式 (5) からトリミングコード  $T$  を求めることができる。

面積をあまり増大させることなく、切断専用抵抗素子切断後の抵抗回路の抵抗値誤差を抑制することができる。

【0039】本発明の抵抗回路において、上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子を単位抵抗とし、複数の単位抵抗が直列又は並列に接続されているようにすれば、切断専用抵抗素子の切断により抵抗値を調整可能な抵抗回路としての汎用性が増す。

【0040】本発明の抵抗回路において、上記複数の単位抵抗を構成する各誤差補正抵抗素子は、同じ素材、同じ向き及び同じ幅で形成されたポリシリコンパターンにより形成されているようにすれば、複数の誤差補正抵抗素子について製造工程での抵抗値のバラツキを抑制できる。

【0041】本発明の抵抗回路において、上記複数の単位抵抗を構成する各切断専用抵抗素子は、同じ素材、同じ向き及び同じ寸法で形成されたポリシリコンパターンにより形成されているようにすれば、複数の切断専用抵抗素子について製造工程での抵抗値のバラツキを抑制できる。

【0042】本発明の電圧検出回路では、分圧抵抗は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、上記設定抵抗素子及び上記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続され、上記誤差補正抵抗素子の抵抗値が上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子の合成抵抗値と同じ値に設定されている複数の単位抵抗が直列に接続されて構成さ

れているようにしたので、切断専用抵抗素子切断後の分圧抵抗の抵抗値誤差を抑制することができ、さらに分圧抵抗の抵抗値誤差に起因する検出電圧の誤差を抑制することができる。

【0043】本発明の定電圧発生回路では、分圧抵抗は、設定抵抗素子と誤差補正抵抗素子が直列に接続され、上記設定抵抗素子及び上記誤差補正抵抗素子の直列回路に切断専用抵抗素子が並列に接続され、上記誤差補正抵抗素子の抵抗値が上記設定抵抗素子、上記誤差補正抵抗素子及び上記切断専用抵抗素子の合成抵抗値と同じ

【図面の簡単な説明】

【図1】抵抗回路の一実施例を示す回路図である。

【図2】同実施例の誤差補正抵抗素子及び切断専用抵抗素子のレイアウト例を示すレイアウト図である。

【図3】同実施例の設定抵抗素子のレイアウト例を示すレイアウト図である。

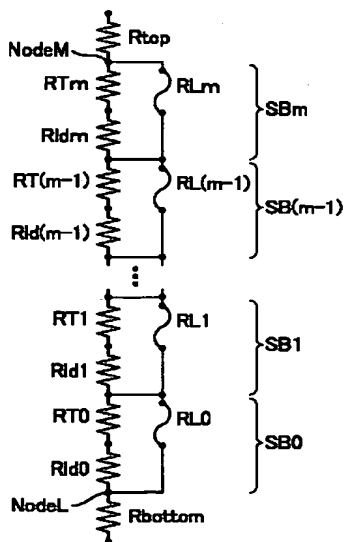
【図4】抵抗回路の他の実施例を示す回路図である。

【図5】定電圧発生回路の一例を示す回路図である。

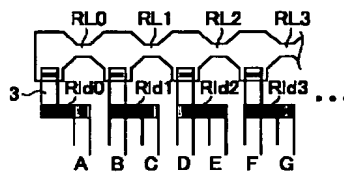
【図6】電圧検出回路の一例を示す回路図である。

【図7】分圧抵抗を構成する従来の抵抗回路の一例を示\*

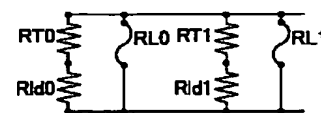
【図1】



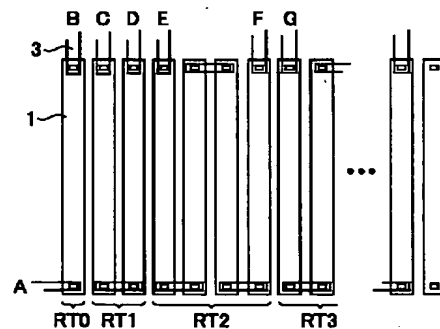
【図2】



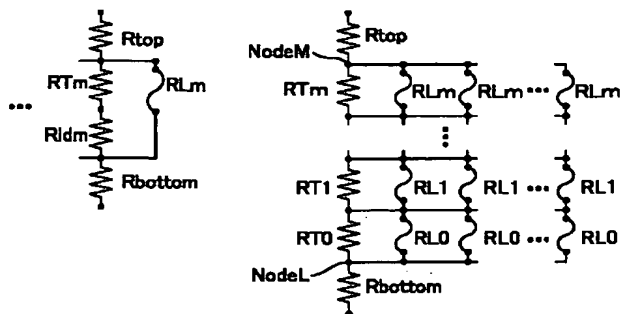
【図4】



【図3】



【図8】



\*す回路図である。

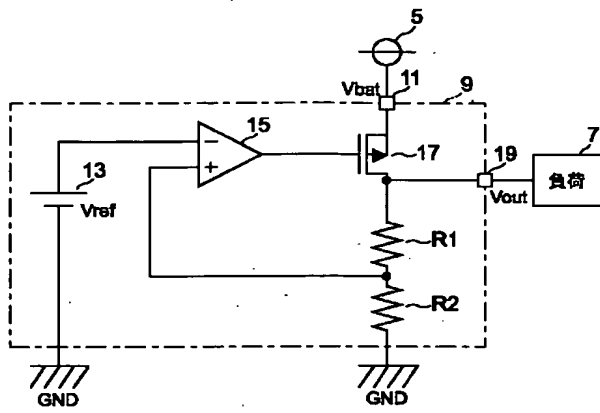
【図8】従来の抵抗回路の他の例を示す回路図である。

【符号の説明】

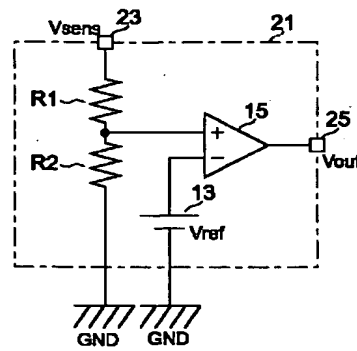
|                                    |                 |
|------------------------------------|-----------------|
| $R_{top}, R_{bottom}$              | 抵抗素子            |
| $SB_0, SB_1, \dots, SB_m$          | 単位抵抗            |
| $R_{ld0}, R_{ld1}, \dots, R_{ldm}$ | 誤差補正抵抗素子        |
| $RT_0, RT_1, \dots, RT_m$          | 設定抵抗素子          |
| $RL_0, RL_1, \dots, RL_m$          | 切断専用抵抗素子 (ヒューズ) |
| $NodeL, NodeM$                     | 端子              |
| 1                                  | ポリシリコンパターン      |
| 3                                  | メタル配線           |
| 5                                  | 直流電源            |
| 7                                  | 負荷              |
| 9                                  | 定電圧発生回路         |
| 11                                 | 入力端子 (Vbat)     |
| 13                                 | 基準電圧発生回路        |
| 15                                 | 演算増幅器           |
| 17                                 | Pチャネル型MOSトランジスタ |
| 19                                 | 出力端子 (Vout)     |
| 21                                 | 電圧検出回路          |
| 23                                 | 入力端子 (Vsens)    |
| 25                                 | 出力端子 (Vout)     |



【図 5】



【図 6】



【図 7】

